

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number:

07142904 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 05284822

(51) Intl. Cl.: H01P 1/203 H01P 1/205

(22) Application date: 15.11.93

(30) Priority:

(43) Date of application
publication: 02.06.95(84) Designated contracting
states:(71) Applicant: **MATSUSHITA ELECTRIC IND CO
LTD**(72) Inventor: **ISHIZAKI TOSHIO
FUJINO TAKASHI
TOMONO KOJI
FUJISAWA TADANORI
MURAMATSU TOSHIKAZU
FUJITA MITSUHIRO**

(74) Representative:

**(54) DIELECTRIC
LAMINATED FILTER**

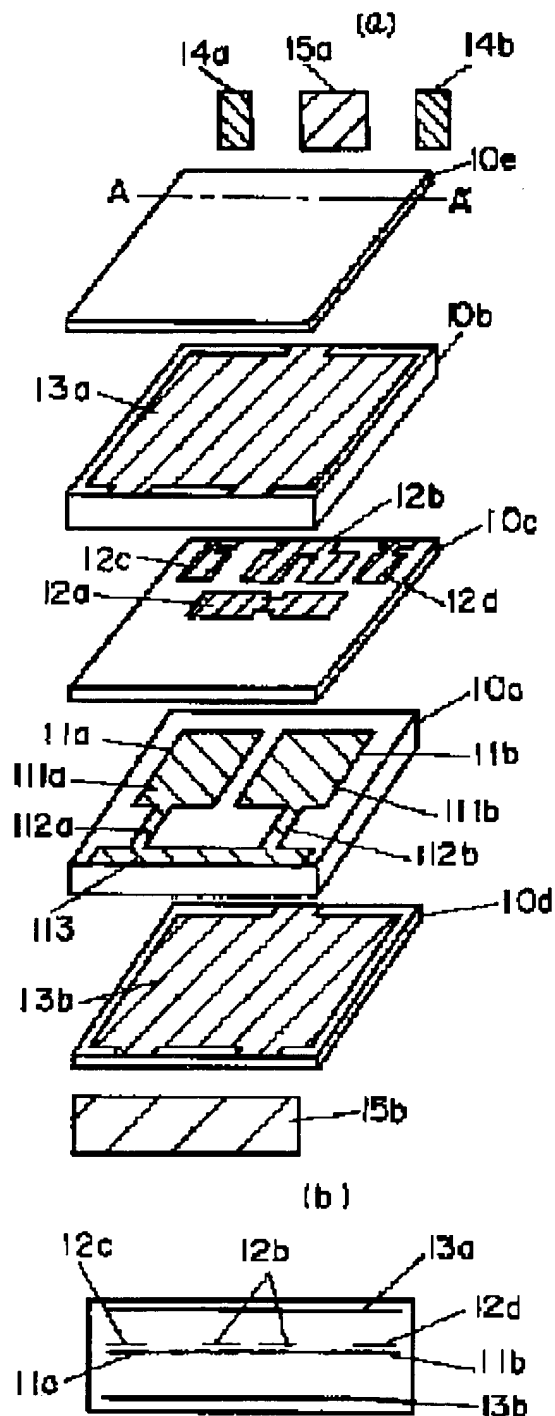
(57) Abstract:

PURPOSE: To provide a small and thin laminated filter having a satisfactory narrow band pass characteristic with a small loss by inserting respective dielectric sheets where stripline resonator electrodes and capacity electrodes are formed between dielectric sheets where shielding electrodes are formed by overlapping them above and below.

CONSTITUTION: The stripline resonator electrodes 11a and 11b are formed on the dielectric sheet 10a, and a second electrode 12a, a third electrode 12b and fourth electrodes 12c and 12d in a parallel plane capacitor are formed on the dielectric sheet 10c. The shielding electrode 13a is formed on the dielectric sheet 10b and the shielding electrode 13b

on the dielectric sheet 10d. The dielectric sheet 10e for protecting the electrodes and the respective dielectric sheets 10a-10d are overlapped and the whole are laminated. Namely, the dielectric sheet 10a where the stripline resonator electrodes 11a and 11b are formed and the dielectric sheet 10c where the capacity electrode is formed are inserted between the dielectric sheets 10b and 10d where the shielding electrodes 13a and 13b are formed by overlapping them above and below.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 1 4 2 9 0 4

(43) 公開日 平成7年 (1995) 6月2日

(51) Int. Cl. °

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 P 1/203

1/205

B

G

審査請求 未請求 請求項の数 3 4 O L

(全 1 1 頁)

(21) 出願番号 特願平5-284822

(22) 出願日 平成5年 (1993) 11月15日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 石崎 俊雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 藤野 貴司

京都府綴喜郡田辺町大字大住小字浜55番1
2号 松下日東電器株式会社内

(72) 発明者 伴野 耕司

京都府綴喜郡田辺町大字大住小字浜55番1
2号 松下日東電器株式会社内

(74) 代理人 弁理士 小鍛治 明 (外2名)

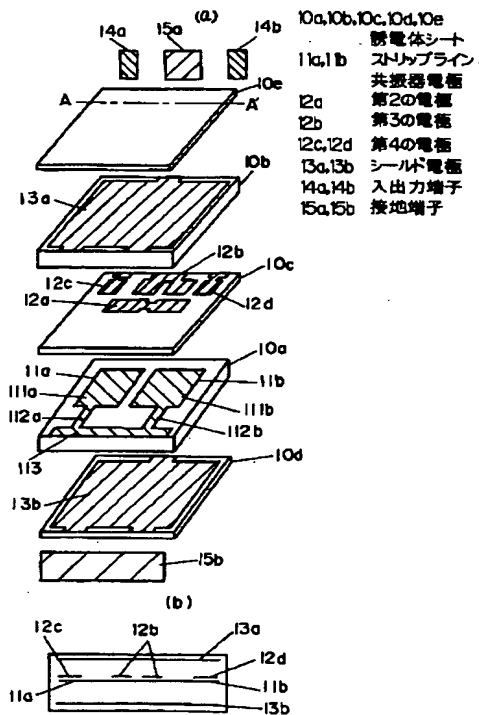
最終頁に続く

(54) 【発明の名称】 誘電体積層フィルタ

(57) 【要約】

【目的】 低損失で良好な狭帯域バンドパス特性を持ち、小型で薄い平面型の誘電体積層フィルタを提供する。

【構成】 少なくとも4層以上の誘電体シートと、少なくとも2層以上のシールド電極層と、少なくとも1層以上のストリップライン共振器電極層と、少なくとも1層以上の容量電極層を具備し、前記ストリップライン共振器電極が形成された前記誘電体シートと前記容量電極が形成された前記誘電体シートを前記シールド電極が形成された前記誘電体シートの間上下に重ねて挟み込んで積層して構成する。



【特許請求の範囲】

【請求項1】少なくとも4層以上の誘電体シートと、少なくとも2層以上のシールド電極層と、少なくとも1層以上のストリップライン共振器電極層と、少なくとも1層以上の容量電極層を具備し、前記ストリップライン共振器電極が形成された前記誘電体シートと前記容量電極が形成された前記誘電体シートを前記シールド電極が形成された前記誘電体シートの間に上下に重ねて挟み込んで積層して構成したことを特徴とする誘電体積層フィルタ。

【請求項2】シールド電極層と容量電極層を別々の層で構成したことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項3】ストリップライン共振器電極層のストリップライン共振器電極と容量電極層の容量電極の間に形成される容量を出入口結合もしくは段間結合に利用したことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項4】容量電極層にいずれの端子電極にも電氣的に接続されない浮き電極を設けたことを特徴とする請求項3記載の誘電体積層フィルタ。

【請求項5】前記ストリップライン共振器電極層に形成された隣接するストリップライン共振器どうしを電磁界結合させると共に、前記容量電極層に形成された容量電極を介して電界結合させ、前記ストリップライン共振器間の結合を電磁界結合と電界結合の組み合わせで行うことを特徴とする請求項3記載の誘電体積層フィルタ。

【請求項6】ストリップライン共振器電極層を一層の電極層で構成したことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項7】容量電極層を一層の電極層で構成したことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項8】最上層に電極保護用誘電体シートを積層し、前記シールド電極層を内層電極にて形成したことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項9】シールド電極層とストリップライン共振器電極層の間の誘電体シートの厚さと容量電極層とシールド電極層の間の誘電体シートの厚さをストリップライン共振器電極層と容量電極層の間の誘電体シートの厚さよりも厚くしたことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項10】シールド電極層とストリップライン共振器電極層の間の誘電体シートと、容量電極層とシールド電極層の間の誘電体シートを、薄い誘電体シートを複数枚積層する事によって形成したことを特徴とする請求項9記載の誘電体積層フィルタ。

【請求項11】少なくとも2つ以上の側面に接地端子となる側面電極をそれぞれ設けたことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項12】前記ストリップライン共振器電極層に形成されたストリップライン共振器の開放端側の側面に、

少なくとも1層の前記シールド電極と電氣的に接続された接地端子を側面電極で形成したことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項13】側面電極を2つの側面に設け、各々の側面に設けた前記側面電極の数もしくは形状を違えて非対称としたことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項14】同一側面に入力端子と出力端子を側面電極で形成するとともに、前記入力端子と前記出力端子の間に接地端子となる側面電極を形成したことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項15】シールド電極層に形成されたシールド電極の外周辺が、接地端子となる側面電極が接続される箇所とその周辺部を除いて、誘電体シートの外周辺よりも内側にくるように、シールド電極の大きさを誘電体シートの大きさより一回り小さくしたことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項16】少なくとも2層のシールド電極の形状を同じにしたことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項17】ストリップライン共振器電極層に形成された各々のストリップライン共振器において、前記ストリップラインの短絡端側の線路幅を、前記ストリップラインの開放端側の線路幅よりも狭くしたことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項18】前記ストリップラインの開放端側の幅広線路部の中心線と、前記ストリップラインの短絡端側の幅狭線路部の中心線の位置をずらして配列したことを特徴とする請求項17記載の誘電体積層フィルタ。

【請求項19】ストリップライン共振器電極層に形成された複数個のストリップライン共振器の短絡端を同一方向とし、前記短絡端を同一側面方向に設けた1もしくは複数個の側面電極の接地端子で電氣的に接地したことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項20】前記ストリップライン共振器電極層と同じ電極層に幅広の共通接地電極を形成し、前記ストリップライン共振器の短絡端を前記共通接地電極を介して側面電極の接地端子に電氣的に接続し接地したことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項21】前記容量電極が前記ストリップライン共振器電極の外縁と重なる領域において、前記容量電極にくびれを形成して電極の幅を狭くしたことを特徴とする請求項1記載の誘電体積層フィルタ。

【請求項22】前記ストリップライン共振器と入出力端子間の容量結合を前記ストリップライン共振器の開放端で行ったことを特徴とする請求項3記載の誘電体積層フィルタ。

【請求項23】前記ストリップライン共振器と入出力端子間の容量結合を前記ストリップライン共振器の開放端と短絡端の間で行ったことを特徴とする請求項3記載の

誘電体積層フィルタ。

【請求項 2 4】前記入出力端子を前記ストリップライン共振器の横方向に設けた側面電極で形成したことを特徴とする請求項 2 3 記載の誘電体積層フィルタ。

【請求項 2 5】第 1 の誘電体シートの上に第 1 のシールド電極を形成し、前記第 1 の誘電体シートの上に第 2 の誘電体シートを積層し、前記第 2 の誘電体シートの上に第 1 の電極となる 4 分の 1 波長より短い長さを持つ複数個の先端短絡ストリップライン共振器をお互いに近接して形成し、前記第 2 の誘電体シートの上に第 3 の誘電体シートを積層し、前記第 3 の誘電体シートの上に第 2 の電極を前記全ての第 1 の電極と部分的に対向して平行平板コンデンサを構成するように形成し、前記第 3 の誘電体シートの上に第 4 の誘電体シートを積層し、前記第 4 の誘電体シートの上に第 2 のシールド電極を形成し、前記第 4 の誘電体シートの上に前記第 2 のシールド電極を保護する第 5 の誘電体シートを積層することによって、前記ストリップライン共振器間の結合を電磁界結合と前記平行平板コンデンサを介した電界結合の組み合わせで行うことを特徴とする誘電体積層フィルタ。

【請求項 2 6】前記第 3 の誘電体シートの上で前記第 1 の電極とそれぞれ対向する領域において、前記第 2 の電極が形成された残りの領域に部分的に第 3 の電極を形成し、前記第 3 の電極を接地したことを特徴とする請求項 2 5 記載の誘電体積層フィルタ。

【請求項 2 7】前記第 3 の誘電体シートの上で少なくとも 2 箇所の前記第 1 の電極と対向する領域において、前記第 2 の電極と前記第 3 の電極が形成された残りの領域に部分的に第 4 の電極を形成し、前記第 4 の電極と前記第 1 の電極で構成されるコンデンサを介して、外部回路と電気的に接続したことを特徴とする請求項 2 6 記載の誘電体積層フィルタ。

【請求項 2 8】第 1 の誘電体シートの上に第 1 のシールド電極を形成し、前記第 1 の誘電体シートの上に第 2 の誘電体シートを積層し、前記第 2 の誘電体シートの上に第 1 の電極となる 4 分の 1 波長より短い長さを持つ N 個 (N は 3 以上の整数) の先端短絡ストリップライン共振器をお互いに近接して形成し、前記第 2 の誘電体シートの上に第 3 の誘電体シートを積層し、前記第 3 の誘電体シートの上に ($N - 1$) 個の第 2 の電極を互いに隣接する 2 個の前記第 1 の電極に渡って部分的に対向して平行平板コンデンサを構成するように形成し、前記第 3 の誘電体シートの上に第 4 の誘電体シートを積層し、前記第 4 の誘電体シートの上に第 2 のシールド電極を形成し、前記第 4 の誘電体シートの上に前記第 2 のシールド電極を保護する第 5 の誘電体シートを積層することによって、前記ストリップライン共振器間の結合を電磁界結合と前記平行平板コンデンサを介した電界結合の組み合わせで行うことを特徴とする誘電体積層フィルタ。

【請求項 2 9】前記第 3 の誘電体シートの上で前記第 1

の電極とそれぞれ対向する領域において、前記第 2 の電極が形成された残りの領域に部分的に第 3 の電極を形成し、前記第 3 の電極を接地したことを特徴とする請求項 2 8 記載の誘電体積層フィルタ。

【請求項 3 0】前記第 3 の誘電体シートの上で少なくとも 2 箇所の前記第 1 の電極と対向する領域において、前記第 2 の電極と前記第 3 の電極が形成された残りの領域に部分的に第 4 の電極を形成し、前記第 4 の電極と前記第 1 の電極で構成されるコンデンサを介して、外部回路と電気的に接続したことを特徴とする請求項 2 9 記載の誘電体積層フィルタ。

【請求項 3 1】第 1 の誘電体シートの上に第 1 のシールド電極を形成し、前記第 1 の誘電体シートの上に第 2 の誘電体シートを積層し、前記第 2 の誘電体シートの上に第 1 の電極となる 4 分の 1 波長より短い長さを持つ 2 個の先端短絡ストリップライン共振器をお互いに近接して形成し、前記第 2 の誘電体シートの上に第 3 の誘電体シートを積層し、前記第 3 の誘電体シートの上に第 2 の電極を前記 2 つの第 1 の電極と部分的に対向して平行平板コンデンサを構成するように形成し、前記第 3 の誘電体シートの上に第 4 の誘電体シートを積層し、前記第 4 の誘電体シートの上に第 2 のシールド電極を形成し、前記第 4 の誘電体シートの上に前記第 2 のシールド電極を保護する第 5 の誘電体シートを積層することによって、前記ストリップライン共振器間の結合を電磁界結合と前記平行平板コンデンサを介した電界結合の組み合わせで行うことを特徴とする誘電体積層フィルタ。

【請求項 3 2】前記第 3 の誘電体シートの上で前記第 1 の電極とそれぞれ対向する領域において、前記第 2 の電極が形成された残りの領域に部分的に第 3 の電極を形成し、前記第 3 の電極を接地したことを特徴とする請求項 3 1 記載の誘電体積層フィルタ。

【請求項 3 3】前記第 3 の誘電体シートの上で前記第 1 の電極とそれぞれ対向する領域において、前記第 2 の電極と前記第 3 の電極が形成された残りの領域に部分的に第 4 の電極を形成し、前記第 4 の電極と前記第 1 の電極で構成されるコンデンサを介して、外部回路と電気的に接続したことを特徴とする請求項 3 2 記載の誘電体積層フィルタ。

【請求項 3 4】複数枚の誘電体シートの上に、焼成時の収縮率が前記誘電体シートより小さい電極材料を用いてそれぞれストリップライン共振器電極とシールド電極を形成し、前記誘電体シートを積層して一体焼成したことを特徴とする誘電体積層フィルタ。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】本発明は、主として携帯電話機などの高周波無線機器で用いる小型の誘電体積層フィルタに関するものである。

【0 0 0 2】

【従来の技術】近年、誘電体フィルタは携帯電話機の高周波フィルタとして多数用いられているが、さらに小型化、薄型化することが要望されており、同軸型に比べて薄くできる平面型の誘電体積層フィルタが今後有望視されている。以下に図面を参照しながら、上記した従来の誘電体積層フィルタの一例について説明する。

【0003】図10は従来の誘電体積層フィルタの構造を示す分解斜視図である。図10において、1と2は厚い誘電体層である。誘電体シート3の上にはコイル電極3a、3bが、誘電体シート4の上にはコンデンサ電極4a、4bが、誘電体シート5の上にはコンデンサ電極5a、5bが、また、誘電体シート7の上にはシールド電極7a、7bが形成されている。電極保護の誘電体シート6とこれら誘電体層と誘電体シートを全て重ねて、全体が積層化された構造になる。

【0004】以上のように構成された誘電体フィルタについて、以下その動作を説明する。まず、対向するコンデンサ電極4aと5a及び4bと5bはそれぞれ平行平板コンデンサを構成する。各平行平板コンデンサは、コイル電極3a、3bと側面電極8a、8bを介して直列に接続され共振回路として働く。2つのコイルは磁気的に結合している。側面電極8bは接地電極とし、側面電極8cはコイル電極につながった端子3c、3dと接続されて入出力端子となるバンドパスフィルタが構成される。(例えば、特開平3-72706号公報)。

【0005】

【発明が解決しようとする課題】しかしながら上記のような構成では、小型化のためにコイル電極どうしを近づけて間隔を狭くすると、共振器間の磁界結合が大きくなりすぎて帯域の狭い良好なバンドパス特性が実現しにくくなるという問題点を有していた。

【0006】また、コイル電極の無負荷Q値を高くすることは困難であるため、フィルタの挿入損失が大きいという問題点を有していた。

【0007】本発明は上記問題点に鑑み、低損失で良好な狭帯域バンドパス特性を持ち、小型で薄い平面型の誘電体積層フィルタを提供することを目的とする。

【0008】

【課題を解決するための手段】上記問題点を解決するために本発明の誘電体積層フィルタは、少なくとも4層以上の誘電体シートと、少なくとも2層以上のシールド電極層と、少なくとも1層以上のストリップライン共振器電極層と、少なくとも1層以上の容量電極層を具備し、前記ストリップライン共振器電極が形成された前記誘電体シートと前記容量電極が形成された前記誘電体シートを前記シールド電極が形成された前記誘電体シートの上に上下に重ねて挟み込んで積層するという構成を備えたものである。

【0009】

【作用】本発明は上記した構成によって、分布定数型の

高無負荷Q値の共振器を用いることができフィルタの挿入損失を低減することができると共に、容量電極層により共振器の無負荷Q値を劣化させることなく大きな容量を形成することができて、ストリップライン共振器間の結合を電磁界結合と容量電極を介した電界結合の組み合わせで行えるため、狭帯域で減衰極を有するフィルタ特性が実現できることとなる。

【0010】

【実施例】以下本発明の第1の実施例について図面を参照しながら説明する。図1(a)は本発明の第1の実施例を示す誘電体積層フィルタの分解斜視図、図1(b)は本発明の第1の実施例を示す誘電体積層フィルタのA-A'面の断面図である。また、図2は図1で示す第1の実施例の誘電体積層フィルタにおける動作説明のための等価回路図である。

【0011】図1において、10a、10bは厚い誘電体シートである。誘電体シート10aの上にはストリップライン共振器電極11a、11bが、誘電体シート10cの上には平行平板コンデンサの第2の電極12aと第3の電極12bと第4の電極12c、12dが形成されている。

【0012】また、誘電体シート10bの上にはシールド電極13a、誘電体シート10dの上にはシールド電極13bが形成されている。電極保護の誘電体シート10eとこれら誘電体シートを全て重ねて、全体を積層化した構造とする。誘電体材料としては、例えば比誘電率58のBi-Ca-Nb-O系のセラミックなど、およそ摂氏950度以下で焼成可能なセラミック材料を用い、グリーンシート化し、銀、銅、金などの導電率の高い金属ペーストで電極パターンを印刷すると共に、積層し一体焼成する。

【0013】焼成により、誘電体シートと各電極層は縦方向と横方向にそれぞれ数10%収縮して小さくなる。もし、電極層の収縮率が誘電体シートの収縮率よりも大きいと電極の端子が積層体の端面において内部に引っ込んでしまうため、側面に形成する端子電極との接続ができなくなってしまう。これを避けるために、焼成時の収縮率が誘電体シートよりわずかに小さい電極材料を用いて、複数枚の誘電体シートの上にそれぞれストリップライン共振器電極とシールド電極を形成し、誘電体シートを積層して一体焼成を行う。この様にすることにより、積層体の端面に電極の端子が数μmから数十μm突き出した状態になって側面に形成される端子電極との接続がうまくできることになる。

【0014】厚い誘電体シート10a、10bは薄いグリーンシートを何枚か積層する事により所定の厚さにする事ができる。この様にすると、全ての誘電体シートを規格化された同一の厚さで構成することができ、製造し易くなる。

【0015】第4の電極12c、12dは入出力端子の

側面電極14a、14bと接続される。上下のシールド電極13a、13bは接地端子の側面電極15a、15bに接続される。接地端子となる側面電極を、それぞれストリップライン共振器の開放端側の側面と短絡端側の側面の2側面に設けて接地することにより、シールド電極の共振を抑え、フィルタ特性が劣化することを防ぐことができる。また、入力端子と出力端子の間に接地端子となる側面電極を形成する事により、入出力端子間のアイソレーションが取れるという効果がある。さらに、2つの側面に設けた側面電極の数もしくは形状を違えて非

【0016】シールド電極13a、13bの形状は、シールド電極の外周辺が接地端子となる側面電極が接続される箇所とその周辺部を除いて、誘電体シートの外周辺よりも内側にくるように、シールド電極の大きさを誘電体シートの大きさより一回り小さくする。積層されたセラミックのグリーンシート間の接着強度は、電極パターンを形成する金属ペーストを挟む箇所では弱くなるため、特に誘電体シートの外周辺において、セラミックど

うしが直接接着するようにシールド電極の余白部を設ける。

【0017】また、2層のシールド電極の形状を同じにすることにより、シールド電極パターン印刷用のスクリーンが1種類で済むという利点がある。

【0018】さらに、上下2層のシールド電極はどちらも内層電極にて形成することにより、ストリップライン共振器電極層および容量電極層と同じ工法でできるため、製造し易い。最上層には電極保護用誘電体シート10eを積層することにより、機械的強度が十分でない内層電極で形成されている上部シールド電極層を保護することができる。もちろん、下部シールド電極層も誘電体シート10dの上に印刷されているため外部から誘電体シート10dにより保護されている。

【0019】ストリップライン共振器は、ストリップラインの短絡端側の線路幅をストリップラインの途中で、幅広部111a、111bから幅細部112a、112bへとステップ状に狭くして小型化を図っている。ストリップライン共振器の幅細部の電極112a、112bの短絡端側は、幅の広い共通接地電極113を介して接地端子の側面電極15bに接続され、接地される。幅の広い共通接地電極113の長さの変化は、ストリップライン共振器電極11a、11bの長さの変化と比べて、共振周波数に与える影響が小さいため、誘電体シートを切断する際の精度による共振周波数のばらつきを抑えることができる。

【0020】以上のように構成された第1の実施例の誘電体積層フィルタについて、以下図1(a)、図1(b)、図2を参照しながらその動作を説明する。

【0021】まず、ストリップライン共振器電極11

a、11bと、それに対向する第2、第3および第4の電極12a、12b、12c、12dはそれぞれの間で平行平板コンデンサを21、22、23、24、25、26を構成する。

【0022】第2の電極12aとストリップライン共振器電極11aの間で構成される平行平板コンデンサ21と、第2の電極12aとストリップライン共振器電極11bの間で構成される平行平板コンデンサ22は、段間結合コンデンサとして働く。したがって、共振器間の段間結合は、ストリップライン共振器間の電磁界結合と直列接続された平行平板コンデンサ21と22を介した電界結合の組み合わせで行われる。小型化のためにストリップライン共振器電極間の距離を小さくすると、通常、段間結合が大きくなりすぎて、良好な狭帯域特性を実現することが困難になってくるが、本発明の構成においては電磁界結合と電界結合の組み合わせによる結合の相殺で段間結合を小さくすることができ、狭帯域な特性を実現することができる。また、同時に電磁界結合と電界結合の組み合わせによる共振現象によって、伝達特性に減衰極を構成することができて、より一層優れた選択特性を得ることができる。

【0023】段間結合コンデンサの容量電極は、容量電極層に設けたいずれの端子電極にも電氣的に接続されない浮き電極である第2の電極12aにより構成されている。本実施例における構成の特徴は、平行平板コンデンサを構成する第1の電極をストリップライン共振器の電極面11a、11bで共用した点と、平行平板コンデンサ21、22を直列接続する形にすることにより段間結合コンデンサを積層可能な平面構造で実現したことである。

【0024】第3の電極12bとストリップライン共振器電極11aの間で構成される平行平板コンデンサ23と、第3の電極12bとストリップライン共振器電極11bの間で構成される平行平板コンデンサ24は、ストリップライン共振器の共振周波数を下げる並列ローディングコンデンサとして働く。したがって、ストリップライン共振器11a、11bの長さは、4分の1波長よりも短くすることができフィルタの小型化が実現できる。

【0025】図1では、第3の電極12bは2つのストリップライン共振器電極11aと11bに対して一体となっているが、第3の電極12bを2つに分離して、ストリップライン共振器電極11aと11bそれぞれに第3の電極を設けて接地してもよい。

【0026】また、第4の電極12cとストリップライン共振器電極11aの間で構成される平行平板コンデンサ25と、第4の電極12dとストリップライン共振器電極11bの間で構成される平行平板コンデンサ26は、それぞれ入出力結合コンデンサとして働く。

【0027】本実施例の構成においては、シールド電極層と容量電極層が別々の層で構成されているため、高い

無負荷Q値を得るためにストリップライン共振器電極層とシールド電極層の間の誘電体シートの厚さを厚くしたまま、ストリップライン共振器電極と容量電極の間に大きな結合容量を形成することができて、入出力結合もしくは段間結合に利用するために必要な大きな容量を取ることができるという特徴を有している。仮に、シールド電極層と同じ層に容量電極を形成する構成であれば、シールド電極層と容量電極層の間の誘電体シートを薄くしなければならず、無負荷Q値は劣化して、かつ、本発明のフィルタで必要な結合度を実現することは大変困難である。しかし、本発明の構成は、シールド電極層とは別に設けられた容量電極層を薄い誘電体シートを挟んでストリップライン共振器電極層に対向させることによって、かかる問題を巧みに解決したものである。

【0028】また、本構成においては、ストリップライン共振器電極は全て誘電体シート10aの上に、容量電極は全て誘電体シート10cの上に印刷されているため、電極印刷はこの2枚の誘電体シートとシールド電極層2枚だけで済むことになり、印刷の工数が少なく、また、フィルタ特性のばらつきが抑えられる。すなわち、ストリップライン共振器電極層を一層の電極層で構成することにより、ストリップライン共振器電極間の相対的な位置精度高めることができるため、ばらつきを低減できる。また、容量電極層を一層の電極層で構成することにより、フィルタの特性ばらつきに影響の大きい誘電体シートの厚さの管理は、ストリップライン共振器電極層と容量電極層の間の一層の誘電体シートだけを行えば済むため、製造管理がやり易くなると言う大きな利点がある。

【0029】また、図3は、本発明の第1の実施例における誘電体積層フィルタの容量電極とストリップライン共振器電極の配置透視図である。誘電体積層フィルタの製造工程において、ストリップライン共振器電極層と容量電極層の位置ずれにより、フィルタ特性のばらつきを生じることが考えられる。

【0030】この影響を少なくするために、図3で示すように、各々の容量電極がストリップライン共振器電極の外縁と重なる領域において、容量電極にくびれを形成して電極の幅を狭くする。第2の電極12aにはくびれ31を形成し、第3の電極12bにはくびれ32、33、34を形成し、第4の電極12c、12dにはそれぞれくびれ35、36を形成する。この様な幅の狭いくびれ領域を設けることにより、ストリップライン共振器電極層と容量電極層の位置ずれが生じた際に起きる両者が重なり合う領域の面積の変化を、くびれがない場合に比べて小さくすることができる。

【0031】なお、図3の電極配置図で示されているように、段間結合コンデンサの電極12aは、電極パターン配置の都合上、ストリップライン共振器電極11a、11bの開放端ではなくて、開放端と短絡端の間に位置

しており、厳密に言えば、図2の等価回路とは異なっているが、段間結合コンデンサの位置をずらしてタップダウンする事は、等価的に段間結合コンデンサの容量値を減ずることと等しいので、便宜的に図2の回路で表示している。

【0032】以下本発明の第2の実施例について図面を参照しながら説明する。図4は本発明の第2の実施例を示す誘電体積層フィルタの分解斜視図である。図4において、図1と同じ構成要素には同じ参照番号を付している。

【0033】第1の実施例と異なるのは、第1の実施例の第4の電極12c、12dの代わりに、ストリップライン共振器電極の横方向から取り出した第4の電極12e、12fを用いたことである。それに合わせて、入出力端子となる側面電極を14a、14bから14c、14dに変更し、接地端子となる側面電極を15aから15cに変更している。

【0034】入出力電極となる第4の電極を横方向から取り出すことにより、入出力電極間の距離を離すことができるため、入出力間の空間的な結合を低減することができてアイソレーションを大きく取ることができる。

【0035】また、第2の実施例において、第4の電極の結合位置はストリップライン共振器電極の開放端と短絡端の間に位置させている。第2の実施例の誘電体積層フィルタの等価回路図は図5のようになる。入出力結合コンデンサ25、26はタップダウンされてストリップライン共振器に接続されている。したがって、ストリップライン共振器電極の幅広部111aと111bは、それぞれ電極113aと114a、113bと114bに分けて考えることができる。

【0036】ここで、電極113aとローディングコンデンサ23で構成される直列回路51、および電極113bとローディングコンデンサ24で構成される直列回路52はそれぞれ直列共振回路として動作する。直列回路51、52が共振する周波数においては、インピーダンスがゼロになるため、フィルタの伝達特性に減衰極を生じることになる。すなわち、第2の実施例においては、第1の実施例が有する共振器の電磁界結合と電界結合の組み合わせで生じる減衰極の他に、直列回路51、52の直列共振によって生じる減衰極を有することになるため、さらに優れた選択特性を実現することができる。

【0037】以下本発明の第3の実施例について図面を参照しながら説明する。図6は本発明の第3の実施例を示す誘電体積層フィルタの分解斜視図である。図6において、図1、図4と同じ構成要素には同じ参照番号を付している。また、図7は、図6で示す第3の実施例の誘電体積層フィルタにおける動作説明のための等価回路図である。

【0038】第3の実施例において第2の実施例と異な

る点は、3段構成のフィルタとした点である。ストリップライン共振器電極61a、61b、61cはそれぞれ幅広部161a、161b、161cと幅狭部162a、162b、162cからなり、幅狭部の短絡端側は幅の広い共通接地電極163を介して接地端子となる側面電極15bに接続され接地される。

【0039】第2の電極62aは、誘電体シート10cの上に、ストリップライン共振器電極61a、61b、61c全てと部分的に対向し、段間の電界結合を実現する。

【0040】また、誘電体シート10cの上でストリップライン共振器電極とそれぞれ対向する領域において、第2の電極が形成された残りの領域に部分的に第3の電極62bを形成し接地する。第3の電極62bとストリップライン共振器電極の間で構成される平行平板コンデンサは、ストリップライン共振器の共振周波数を下げる並列ローディングコンデンサとして働く。したがって、ストリップライン共振器11a、11bの長さは、4分の1波長よりも短くすることができフィルタの小型化が実現できる。

【0041】シールド電極63a、63bは、それぞれ誘電体シート10b、10dの上に全体を覆うように形成される。最上層には電極保護用誘電体シート10eを積層することにより、機械的強度が十分でない内層電極で形成されている上部シールド電極層を保護することができる。

【0042】また、第3の実施例において、第4の電極の結合位置はストリップライン共振器電極の開放端と短絡端の間に位置するため、第3の実施例の誘電体積層フィルタの等価回路図は図7のようになる。入出力結合コンデンサ25、26はタップダウンされてストリップライン共振器に接続されている。したがって、ストリップライン共振器電極の幅広部161aと161bは、それぞれ電極163aと164a、163bと164bに分けて考えることができる。

【0043】ここで、電極163aとローディングコンデンサ74で構成される直列回路771、および電極163bとローディングコンデンサ754で構成される直列回路78が共振する周波数においては、フィルタの伝達特性に減衰極を生じる。これは、第2の実施例と同じである。

【0044】隣接するストリップライン共振器どうしは電磁界結合させると共に、段間結合コンデンサ71、72、73を介して電界結合が行われ、ストリップライン共振器間の結合を電磁界結合と電界結合の組み合わせで行うことにより、電磁界結合と電界結合の組み合わせによる共振現象によって、伝達特性に2つの減衰極を構成することができて、より一層優れた選択特性を得ることができる。

【0045】第3の実施例における基本構成は第2の実

施例と同じであるが、もちろん入出力端子の取り出し方向をストリップライン共振器電極の開放端の方向にして、第1の実施例と同じ構成としても構わない。

【0046】この様に第3の実施例においては、フィルタを3段構成にしたことにより、さらに優れた選択度を得ることができる。さらに、4段、5段と多段化することにより一層選択度をあげることができることは言うまでもない。

【0047】以下本発明の第4の実施例について図面を参照しながら説明する。図8は本発明の第4の実施例を示す誘電体積層フィルタの分解斜視図である。図8において、図1、図4、図6と同じ構成要素には同じ参照番号を付している。また、図9は、図8で示す第4の実施例の誘電体積層フィルタにおける動作説明のための等価回路図である。

【0048】第4の実施例における動作は、ほとんど第3の実施例と同じである。第4の実施例において第3の実施例と異なる点は、段間結合コンデンサの接続方法である。第3の実施例では段間結合コンデンサを形成する第2の電極は全てのストリップライン共振器電極に対向するひとつの電極62aで構成されているが、第4の実施例では第2の電極は隣接するストリップライン共振器電極毎に設けられた電極81、82で構成されている。

【0049】隣接するストリップライン共振器どうしは電磁界結合させると共に、直列接続されたコンデンサ81と82および83と84で構成される段間結合コンデンサを介して電界結合が行われ、ストリップライン共振器間の結合を電磁界結合と電界結合の組み合わせで行うことにより、電磁界結合と電界結合の組み合わせによる共振現象によって、伝達特性に2つの減衰極を構成することができる。

【0050】この様に第4の実施例においては、第3の実施例と同様の効果を得ることができると共に、隣接するストリップライン共振器ごとに電磁界結合と電界結合の組み合わせによる共振特性を設計できるため、第3の実施例よりも設計が容易であるという利点を有する。

【0051】以上示した実施例の他にも、電極パターンの形状や端子の配置など、誘電体積層フィルタの様々な変形やその組み合わせが当然考えられるが、そのような変形は本発明の主旨に沿う限り本発明の範疇に含まれることは当然である。

【0052】

【発明の効果】以上のように本発明は、少なくとも4層以上の誘電体シートと、少なくとも2層以上のシールド電極層と、少なくとも1層以上のストリップライン共振器電極層と、少なくとも1層以上の容量電極層を具備し、前記ストリップライン共振器電極が形成された前記誘電体シートと前記容量電極が形成された前記誘電体シートを前記シールド電極が形成された前記誘電体シートの上に上下に重ねて挟み込んで積層することにより、低

13

損失で良好な狭帯域バンドパス特性を持ち、小型で薄い平面型の誘電体積層フィルタを提供することができる。

【図面の簡単な説明】

【図 1】 (a) は本発明の第 1 の実施例における誘電体積層フィルタの分解斜視図

(b) は本発明の第 1 の実施例における誘電体積層フィルタの A-A' 面の断面図

【図 2】 図 1 で示す第 1 の実施例の誘電体積層フィルタにおける動作説明のための等価回路図

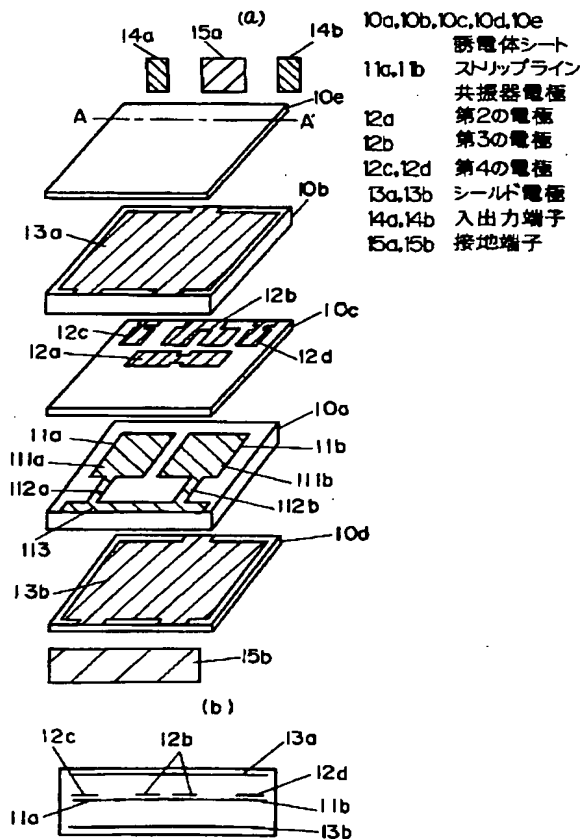
【図 3】 本発明の第 1 の実施例における誘電体積層フィルタの容量電極とストリップライン共振器電極の配置透視図

【図 4】 本発明の第 2 の実施例における誘電体積層フィルタの分解斜視図

【図 5】 図 4 で示す第 2 の実施例の誘電体積層フィルタにおける動作説明のための等価回路図

【図 6】 本発明の第 3 の実施例における誘電体積層フィルタの分解斜視図

【図 1】



14

【図 7】 図 6 で示す第 3 の実施例の誘電体積層フィルタにおける動作説明のための等価回路図

【図 8】 本発明の第 4 の実施例における誘電体積層フィルタの分解斜視図

【図 9】 図 8 で示す第 4 の実施例の誘電体積層フィルタにおける動作説明のための等価回路図

【図 10】 従来の誘電体積層フィルタの分解斜視図

【符号の説明】

10 a、10 b、10 c、10 d、10 e 誘電体シート

11 a、11 b ストリップライン共振器電極

12 a 第 2 の電極

12 b 第 3 の電極

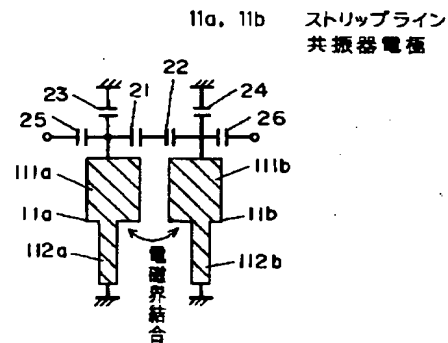
12 c、12 d 第 4 の電極

13 a、13 b シールド電極

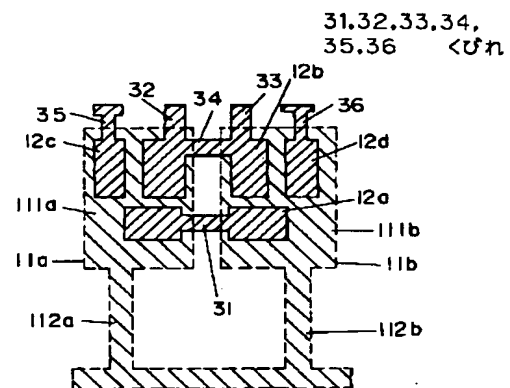
14 a、14 b 入出力端子

15 a、15 b 接地端子

【図 2】

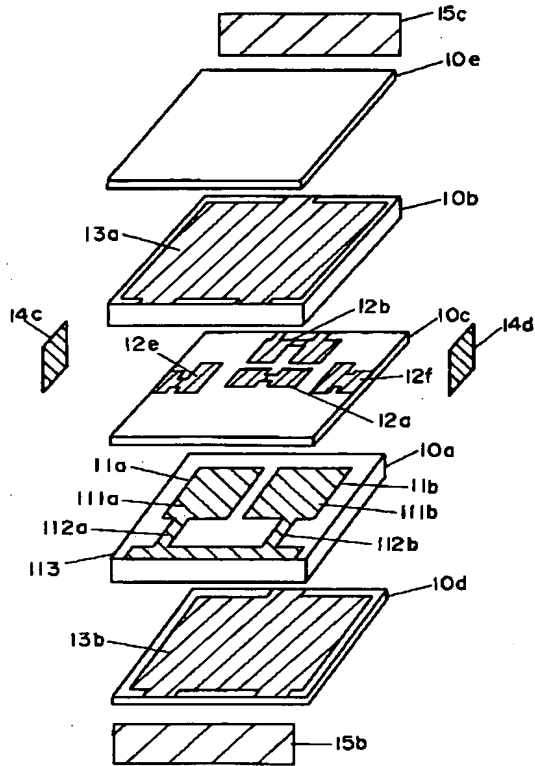


【図 3】



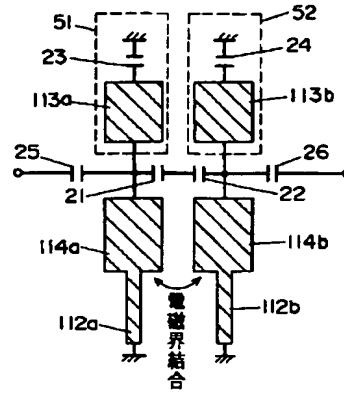
【図4】

12e, 12f 第4の電極
14c, 14d 入出力端子
15b, 15c 接地端子



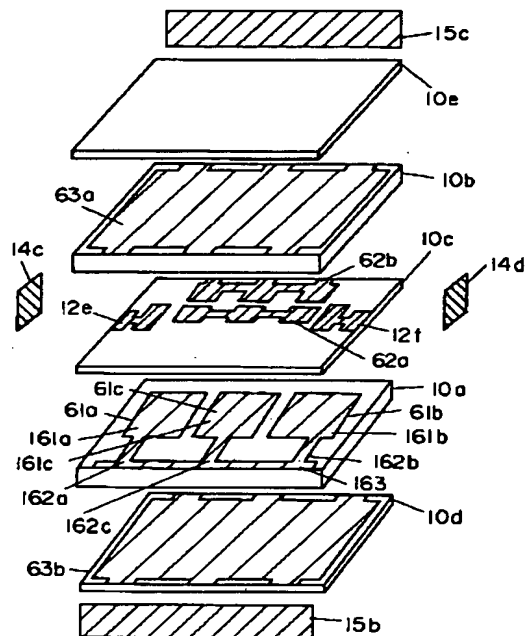
【図5】

51, 52 直列回路



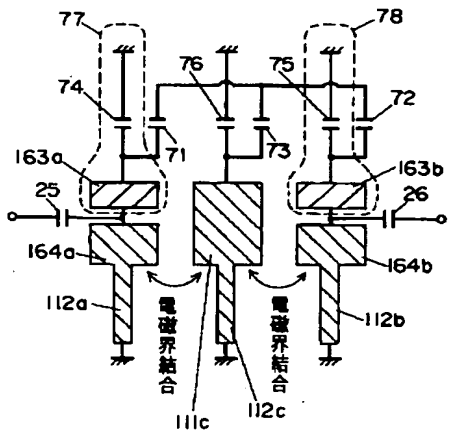
【図6】

12e, 12f 第4の電極
14c, 14d 入出力端子
15b, 15c 接地端子
61a, 61b, 61c ストリップライン、共振器電極
62a 第2の電極
62b 第3の電極

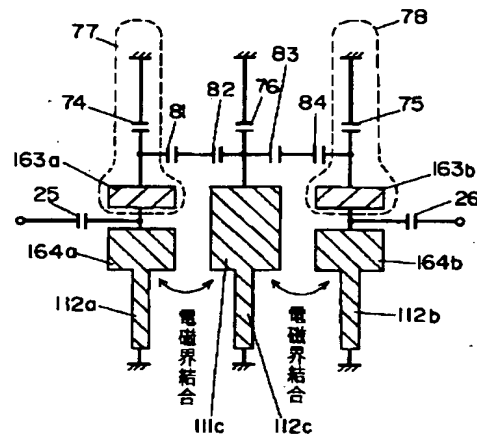


【図7】

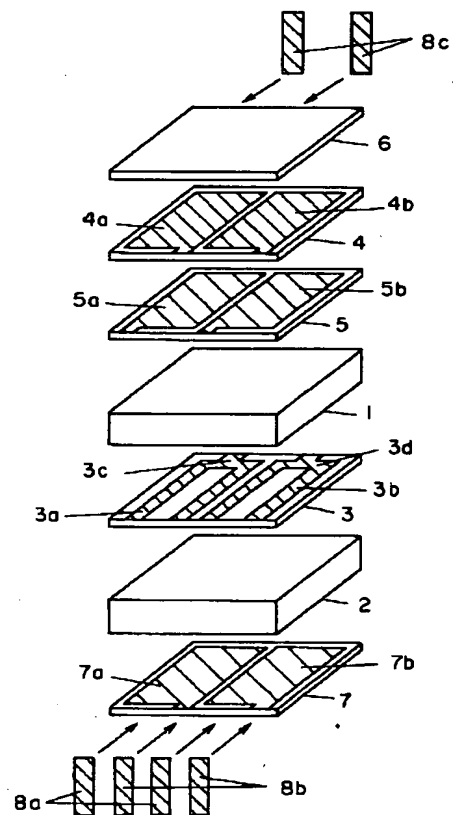
77, 78 直列回路



【図 9】



【図 10】



(72) 発明者 村松 俊和
京都府綴喜郡田辺町大字大住小字浜55番12
号 松下日東電器株式会社内

(72) 発明者 藤田 光宏
京都府綴喜郡田辺町大字大住小字浜55番12.
号 松下日東電器株式会社内